



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

12 Patentschrift  
10 DE 196 30 917 C 1

51 Int. Cl.<sup>6</sup>:  
H03L 7/08  
G 01 R 25/00  
G 01 R 23/00

21 Aktenzeichen: 196 30 917.4-35  
22 Anmeldetag: 31. 7. 96  
43 Offenlegungstag: —  
45 Veröffentlichungstag  
der Patenterteilung: 26. 3. 98

DE 19630917 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

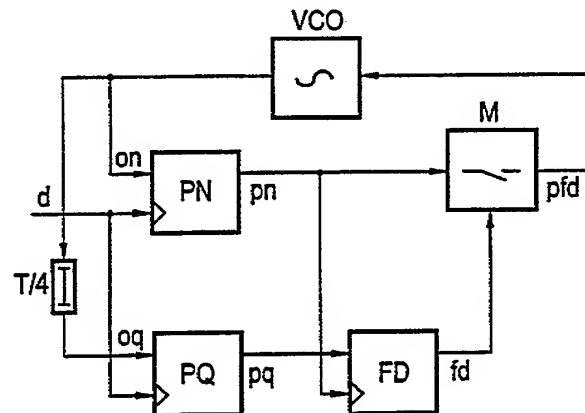
73 Patentinhaber:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Unterricker, Reinhold, Dr., 81369 München, DE

56 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:  
DE 28 26 053 C2  
POTTBÄCKER, A., LANGMANN, U., SCHREIBER,  
H.U. »A Si Bipolar Phase and Frequency Detector IC  
for Clock Extraction up to 8 Gb/s«. In: IEEE Journal  
of Solid-State Circuits, Vol.27n No.12, 1992,  
S.1747-1751;

54 Phasen- und Frequenzdetektorschaltung

57 In einer Phasen- und Frequenzdetektorschaltung mit einem ersten Phasendetektor in Form eines mit einem sinusförmigen Oszillatorsignal [Normal-Taktsignal] beaufschlagten und mit den Flanken eines Empfangssignals getakteten Abtast- und Speichergliedes, mit einem zweiten Phasendetektor in Form eines ebensolchen, mit dem um 90° verzögerten Oszillatorsignal [Quadratur-Taktsignal] beaufschlagten und mit den Flanken des Empfangssignals getakteten Abtast- und Speichergliedes, und mit einer mit dem abgetasteten Quadratur-Taktsignal beaufschlagten und mit dem abgetasteten Normal-Taktsignal getakteten Frequenzdetektorschaltung, wobei das Stellsignal für den Oszillator nach Maßgabe des das Ausgangssignal des ersten Phasendetektors bildenden abgetasteten Normal-Taktsignals und des Ausgangssignals der Frequenzdetektorschaltung gewonnenen wird, ist die Frequenzdetektorschaltung mit einem ebensolchen, mit dem abgetasteten Quadratur-Taktsignal beaufschlagten und mit dem abgetasteten Normal-Taktsignal getakteten Abtast- und Speicherglied gebildet, mit dessen Ausgangssignal das Ausgangssignal des ersten Phasendetektors gesperrt bzw. freigegeben wird.



DE 19630917 C 1

Zur Taktsynchronisation wird häufig eine Phasenregelschleife (PLL) eingesetzt, in welcher die Taktphase eines lokalen Oszillators mit Hilfe eines Phasendetektors mit der Phasenlage eines empfangenen Datensignals verglichen und nachgeregelt wird. Da eine Phasenregelschleife nicht einrastet, wenn die Frequenz des lokalen Oszillators zu stark von der Datenrate abweicht, muß auch eine Frequenzdifferenz richtig erkannt und ausgeregelt werden können.

In diesem Zusammenhang ist es (aus A. Pottbäcker u. a.: "A Si Bipolar Phase and Frequency Detector IC for Clock Extraction up to 8 Gb/s", IEEE J. of Solid-State Circuits, vol. 27, No. 12, Dec. 1992, S. 1747—1751) bekannt, mittels zweier Phasendetektoren sowohl die Normal- als auch die Quadraturkomponente (d. h. das um  $90^\circ$  verzögerte Signal) eines sinusförmigen lokalen Taktsignals bei jedem Zustandswechsel des Datensignals analog abzutasten, in einer dreier Schaltzustände fähigen Frequenzdetektorschaltung das abgetastete Quadratur-Taktsignal mit dem abgetasteten Normal-Taktsignal abzutasten, und durch Addition des abgetasteten Normal-Taktsignals und des ternären Ausgangssignals der Frequenzdetektorschaltung ein Stellsignal für den lokalen Oszillator zu gewinnen.

Hierbei ergibt sich aus einer auch in der Umgebung von ungeradzahligem Vielfachen von  $\pi$  fallenden Kennlinie des Phasendetektors (vgl. auch Fig. 2) insofern ein Problem, als die Regelschleife (statt nur bei geradzahligem Vielfachen von  $\pi$ ) fälschlicherweise auch bei ungeradzahligem Vielfachen von  $\pi$  einzurasten vermag. Um dies zu vermeiden, muß der Betrag des abgetasteten Normal-Taktsignals größer sein als der Betrag des ternären Ausgangssignals der Frequenzdetektorschaltung, und zwar besonders im Nulldurchgang des abgetasteten Normal-Taktsignals. Man muß daher den Normalkomponenten-Phasendetektor mit einer sehr großen Steigung im Nulldurchgang auslegen, so daß eine Trapezfunktion mit sehr steilen Flanken als Funktion der Phase beschrieben wird; die Phasendetektorkennlinie ist dann aber nur in einem sehr kleinen Bereich linear, was zu schlechten Übertragungseigenschaften der Phasenregelschleife (PLL) führt.

Die Erfindung zeigt demgegenüber einen Weg, einen solchen Nachteil zu vermeiden.

Die Erfindung betrifft einen Phasen- und Frequenzdetektorschaltung mit einem ersten Phasendetektor in Form eines mit einem sinusförmigen Oszillatorsignal [Normal-Taktsignal] beaufschlagten und mit den Flanken eines Empfangssignals getakteten Abtast- und Speichergliedes, mit einem zweiten Phasendetektor in Form eines eben solchen, mit dem um  $90^\circ$  verzögerten Oszillatorsignal [Quadratur-Taktsignal] beaufschlagten und mit den Flanken des Empfangssignals getakteten Abtast- und Speichergliedes, und mit einer mit dem das Ausgangssignal des zweiten Phasendetektors bildenden abgetasteten Quadratur-Taktsignal beaufschlagten und mit dem das Ausgangssignal des ersten Phasendetektors bildenden abgetasteten Normal-Taktsignal getakteten Frequenzdetektorschaltung, wobei das Stellsignal für den Oszillator nach Maßgabe des abgetasteten Normal-Taktsignals und des Ausgangssignals der Frequenzdetektorschaltung gewonnen wird; dieser Phasen- und Frequenzdetektor ist erfindungsge-

maß dadurch gekennzeichnet, daß die Frequenzdetektorschaltung mit einem eben solchen, mit dem abgetasteten Quadratur-Taktsignal beaufschlagten und mit dem abgetasteten Normal-Taktsignal getakteten Abtast- und Speicherglied gebildet ist, mit dessen Ausgangssignal das Ausgangssignal des ersten Phasendetektors gesperrt bzw. freigegeben wird.

Es sei an dieser Stelle bemerkt, daß (aus DE 28 26 053 C2) eine Schaltungsanordnung zur Regelung eines frei schwingenden Oszillators bekannt ist, die ebenfalls zwei Phasendetektoren aufweist, deren zweiter mit einem um  $90^\circ$  verzögerten Oszillatorsignal beaufschlagt ist, wobei zwischen dem Ausgang des ersten Phasendetektors und einem Schleifenfilter bzw. dem Oszillator ein Analogschalter angeordnet ist, der vom Ausgang des zweiten Phasendetektors her über einen Null-Spannungs-Komparator und eine monostabile Kippstufe gesteuert wird. Dabei dient der Schalter dazu, aus der am Ausgang eines Begrenzerverstärkers auftretenden Rechteckschwingung Phasen herauszuisolieren, um das Vorzeichen der Frequenzablage festzustellen. Das am Schalterausgang auftretende Frequenzablagesignal wird nach Tiefpaßfilterung wiederum zum Phasendetektorsignal des ersten Phasendetektors addiert.

Demgegenüber wird in der Schaltungsanordnung gemäß der Erfindung das Ausgangssignal des ersten Phasendetektors durch das Ausgangssignal des Frequenzdetektors in der Weise durchgeschaltet oder gesperrt, daß bei einer um bis zu  $\pm \pi$  von 0 bzw. einem anderen geradzahligem Vielfachen von  $\pi$  abweichenden Phasendifferenz nur der erste Phasendetektor aktiv ist, unabhängig von der Frequenz der Signale bzw. deren Differenzen; durch das eindeutige Hystereseverhalten des Frequenzdetektors wird ein Einrasten der Phasenregelschleife bei aktivem Frequenzdetektor zuverlässig vermieden.

Ein richtiges Einrasten soll an sich auch die bekannte Schaltungsanordnung (DE 28 26 053 C2) ermöglichen, doch erscheint es in dieser Schaltungsanordnung als problematisch, mit dem Null-Spannungs-Komparator den Unterschied zwischen fallenden und steigenden Nulldurchgängen bei kleinen Schwebungsfrequenzen zu detektieren, da in der Umgebung des Nulldurchgangs des Signals bereits bei einem Phasenfehler von  $\pm \pi/2$  die Frequenzregelung einsetzt, was ggf. den Phasenregelvorgang beeinflussen kann.

Die Erfindung ermöglicht die Realisierung eines frequenzsensitiven und zugleich in einem weiten Bereich linearen Phasendetektors, bei dem eine Mehrdeutigkeit der Phasendetektorkennlinie, nämlich eine fallende Kennlinie sowohl bei einem Phasenfehler gleich einem geraden Vielfachen von  $\pi$  als auch bei einem Phasenfehler gleich einem ungeraden Vielfachen von  $\pi$ , ausgeschlossen ist.

Weitere Besonderheiten der Erfindung werden aus der nachfolgenden näheren Erläuterung an Hand der Zeichnungen ersichtlich. Dabei zeigen

Fig. 1 ein Blockschaltbild einer Phasenregelschleife mit einer Phasen- und Frequenzdetektorschaltung gemäß der Erfindung und

Fig. 2 zwei zugehörige Signalkennlinien;

Fig. 3 zeigt Signalverläufe darin, und

Fig. 4 zeigt ein schaltungstechnisches Detail der Phasen- und Frequenzdetektorschaltung.

Fig. 1 zeigt schematisch in einem zum Verständnis der Erfindung erforderlichem Umfang eine Phasen- und Frequenzdetektorschaltung, die zusammen mit einem Sinusoszillator VCO und einem  $90^\circ$ -Verzögerungsglied

T/4 in einer Phasenregelschleife liegt. Diese Phasen- und Frequenzdetektorschaltung weist zunächst einen ersten Phasendetektor in Form eines Abtast- und Speichergliedes PN auf, das an seinem Signaleingang on mit dem sinusförmigen Oszillatorsignal [hier auch als Normal-Taktsignal bezeichnet] beaufschlagt und an seinem Takteingang d mit den Flanken eines Empfangssignals getaktet wird. Des weiteren weist die Phasen- und Frequenzdetektorschaltung einen zweiten Phasendetektor in Form eines ebensolchen Abtast- und Speichergliedes PQ auf, das an seinem Signaleingang oq mit dem um  $90^\circ$  verzögerten sinusförmigen Oszillatorsignal [hier auch als Quadratur-Taktsignal bezeichnet] beaufschlagt und an seinem Takteingang ebenfalls mit den Flanken des Empfangssignals getaktet wird. Ferner weist die Phasen- und Frequenzdetektorschaltung eine Frequenzdetektorschaltung in Form eines ebensolchen Abtast- und Speichergliedes FD auf, das an seinem Signaleingang mit dem am Ausgang pq des zweiten Phasendetektors PQ auftretenden abgetasteten Quadratur-Taktsignal beaufschlagt und an seinem Takteingang mit dem am Ausgang pn des ersten Phasendetektors PN auftretenden abgetasteten Normal-Taktsignal getaktet wird. Die Abtast- und Speicherglieder können dabei in an sich (z. B. aus IEEE J. of Solid-State Circuits, 27 (1992) 12, 1751 ... 1751, Fig. 3) bekannter Weise ausgebildet sein, so daß es hier keiner weiteren Erläuterungen dazu bedarf.

Bei der Abtastung des Normal-Taktsignals (on) und des Quadratur-Taktsignals (oq) mit den Flanken des Empfangssignals (d) erhält man an den Ausgängen pn, pq der beiden Abtast- und Speicherglieder PN, PQ zwei Signale, die sinus- bzw. cosinusförmig von der Phasendifferenz zwischen Takt- und Datensignal abhängen. Diese Signalabhängigkeit ist in Fig. 2 dargestellt. Das Ausgangssignal (pn) des ersten Phasendetektors PN kann als Stellsignal für die Phasenregelung eines Oszillators (VCO in Fig. 1) in einer Phasenregelschleife genutzt werden, liefert aber für sich allein keine Information über das Vorzeichen einer etwaigen Frequenzablage des Oszillators, da am Phasendetektorausgang pn (in Fig. 1) sowohl bei positiver als auch bei negativer Frequenzablage des Oszillatorsignals ein Sinussignal (pn in Fig. 2 und Fig. 3) ohne Richtungsinformation auftritt.

Um auch eine Information über die Richtung einer Frequenzablage zu gewinnen, ist in der Phasen- und Frequenzdetektorschaltung gemäß Fig. 1 die mit dem abgetasteten Quadratur-Taktsignal (pq) beaufschlagte und mit dem abgetasteten Normal-Taktsignal (pn) getaktete Frequenzdetektorschaltung FD vorgesehen, wobei das Stellsignal für den erforderlichenfalls in seiner Taktfrequenz nachzuführenden Oszillator VCO nach Maßgabe des am Ausgang pn des ersten Phasendetektors PN auftretenden abgetasteten Normal-Taktsignals (pn in Fig. 2 und Fig. 3) und des am Ausgang fd der Frequenzdetektorschaltung FD auftretenden Signals (fd in Fig. 3) gebildet wird.

Dabei ist die Frequenzdetektorschaltung FD nun mit einem ebensolchen Abtast- und Speicherglied wie die beiden Phasendetektoren PN und PQ gebildet, wobei die Frequenzdetektorschaltung FD mit dem abgetasteten Quadratur-Taktsignal (pq) beaufschlagt und mit dem abgetasteten Normal-Taktsignal pn (in Fig. 3) getaktet wird; mit ihrem Ausgangssignal fd (in Fig. 3) wird dann das als Stellsignal für den in seiner Taktfrequenz nachzuführenden Oszillator (VCO in Fig. 1) dienende Ausgangssignal pn (in Fig. 3) des ersten Phasendetektors PN gesperrt bzw. freigegeben.

Dabei wird bei jedem Nulldurchgang des am Ausgang pn (in Fig. 1) des ersten Phasendetektors PN auftretenden Signals (pn in Fig. 2 und Fig. 3) der gerade zu diesem Zeitpunkt erreichte positive oder negative Extremwert des am Ausgang pq (in Fig. 1) des zweiten Phasendetektors PQ auftretenden Signals (pq in Fig. 2) auf den Ausgang fd (in Fig. 1) der Frequenzdetektorschaltung FD übernommen und bis zum nächsten Nulldurchgang des Signals (pn in Fig. 2 und Fig. 3) gehalten. Das Ausgangssignal (fd in Fig. 2) der Frequenzdetektorschaltung FD gibt indessen noch keine (Richtungs-)Information über das Vorzeichen der Frequenzablage, sondern zeigt, ausgehend von einem geradzahlig Vielfachen von  $\pi$ , mit einem negativen Vorzeichen (Signalzustand LOW) einen in einem Bereich zwischen  $\pm \pi$  und  $\pm 2\pi$  liegenden Phasenfehler an.

Eine Richtungsinformation kann jetzt aber dadurch gewonnen werden, daß das Ausgangssignal (pn in Fig. 2) des ersten Phasendetektors PN in denjenigen Phasenbereichen, in denen fd = LOW ist, unterdrückt wird und nur beim Signalzustand fd = HIGH zur Oszillatornachstellung freigegeben wird.

Der die Sperrung und Freigabe des Signals (pn in Fig. 3) bewirkende Schalter M (in Fig. 1) kann beispielsweise eine Multiplikationsschaltung sein, wie sie in Fig. 4 in bipolarer differentieller ECL-Technik dargestellt ist. In dieser Schaltung wird beim Signalzustand fd = HIGH über die dabei vom Transistor T5 her entriegelte Differenzstufe T1/T2 mit einer Verstärkung  $v = 1$  das Eingangssignal pn zum Ausgang pfd hin durchgeschaltet; ist fd = LOW, so wird vom Transistor T6 her die mit 0 V Spannungsdifferenz angesteuerte Differenzstufe T3/T4 entriegelt, so daß auch am Ausgang pfd eine Differenzspannung von 0 V auftritt.

Am Ausgang pfd steht nun ein Phasendetektorsignal zur Verfügung, das bei von der Datenrate abweichender Oszillatorfrequenz einen Gleichanteil mit richtiger Polarität zur Oszillatorregelung aufweist, wie die folgende Überlegung zeigt:

Ist die Oszillatorfrequenz zu hoch, so werden die Kennlinien pn und pq (in Fig. 2) von links nach rechts durchlaufen. Bei einem Nulldurchgang in eine negative Halbwelle der Kennlinie pn wird das — hier positive — abgetastete Quadratur-Taktsignal (pq in Fig. 2) auf den Ausgang fd (in Fig. 1) der Frequenzdetektorschaltung FD übernommen (und bis zum nächsten Nulldurchgang des abgetasteten Normal-Taktsignals (pn in Fig. 2) gehalten), wobei der Schalter M entriegelt wird, so daß eine negative Halbwelle des Phasendetektorsignals pn zum Ausgang pfd gelangt. Beim nachfolgenden Nulldurchgang in die positive Halbwelle der Kennlinie pn wird das — hier negative — abgetastete Quadratur-Taktsignal (pq in Fig. 2) auf den Ausgang fd (in Fig. 1) der Frequenzdetektorschaltung FD übernommen (und bis zum nächsten Nulldurchgang des abgetasteten Normal-Taktsignals (pn in Fig. 2) gehalten), wobei der Schalter M gesperrt wird, so daß keine positive Halbwelle des Phasendetektorsignals pn zum Ausgang pfd gelangt. Am Steuereingang des Oszillators VCO erhält man damit eine Folge von negativen Sinushalbwellen, deren negativer Gleichanteil eine Erniedrigung der Oszillatorfrequenz bewirkt.

Ist umgekehrt die Oszillatorfrequenz zu niedrig, so werden die Kennlinien pn und pq (in Fig. 2) von rechts nach links durchlaufen. Nunmehr wird bei einem Nulldurchgang in die positive Halbwelle der Kennlinie pn das — hier positive — abgetastete Quadratur-Taktsignal (pq = HIGH) auf den Ausgang fd (in Fig. 1) der

Frequenzdetektorschaltung FD übernommen (und bis zum nächsten Nulldurchgang des abgetasteten Normal-Taktsignals (pn in Fig. 2) gehalten), wobei der Schalter M entriegelt wird, so daß eine positive Halbwelle des Phasendetektorsignals pn zum Ausgang pfd gelangen. 5  
 Beim nachfolgenden Nulldurchgang in die negative Halbwelle der Kennlinie pn wird das — hier negative — abgetastete Quadratur-Taktsignal (pq = LOW) auf den Ausgang fd (in Fig. 1) der Frequenzdetektorschaltung FD übernommen (und bis zum nächsten Nulldurchgang 10  
 des abgetasteten Normal-Taktsignals (pn in Fig. 2) gehalten), wobei der Schalter M gesperrt wird, so daß keine negative Halbwelle des Phasendetektorsignals pn zum Ausgang pfd gelangt. Am Steuereingang des Oszillators VCO erhält man damit eine Folge von positiven 15  
 Sinushalbwellen, deren positiver Gleichanteil eine Erhöhung der Oszillatorfrequenz bewirkt.

Stimmen Oszillatorfrequenz und Datenrate überein, so wird die Phase der Oszillatorschwingung stets nur in der Umgebung eines Nulldurchgangs des Phasendetektorsignals pn geregelt, an welchem pq = HIGH ist, d. h. bei einer bei geradzahligen Vielfachen von  $\pi$  liegender Phasendifferenz. Ein Einrasten bei ungeradzahligen Vielfachen von  $\pi$  ist dagegen nicht möglich, da das Nachsteuersignal in der Umgebung solcher Punkte gesperrt ist. Der Phasendetektor PN läßt sich daher ohne Gefahr der Bildung einer mehrdeutigen Kennlinie als lineare Abtastschaltung mit einem relativ großem linearen Bereich auslegen. 20  
 25  
 30

#### Patentanspruch

Phasen- und Frequenzdetektorschaltung mit einem ersten Phasendetektor in Form eines mit einem sinusförmigen Oszillatorsignal [Normal-Taktsignal] (on) beaufschlagten und mit den Flanken eines Empfangssignals (d) getakteten Abtast- und Speichergliedes (PN), 35  
 mit einem zweiten Phasendetektor in Form eines ebensolchen, mit dem um 90° verzögerten Oszillatorsignal [Quadratur-Taktsignal] (oq) beaufschlagten und mit den Flanken des Empfangssignals (d) getakteten Abtast- und Speichergliedes (PQ), 40  
 und mit einer mit dem das Ausgangssignal (pq) des zweiten Phasendetektors (PQ) bildenden abgetasteten Quadratur-Taktsignal (pq) beaufschlagten und mit dem das Ausgangssignal (pn) des ersten Phasendetektors (PN) bildenden abgetasteten Normal-Taktsignal (pn) getakteten Frequenzdetektorschaltung (FD), 45  
 wobei das Stellsignal für den Oszillator nach Maßgabe des abgetasteten Normal-Taktsignals und des Ausgangssignals (fd) der Frequenzdetektorschaltung gewonnen wird, 50  
**dadurch gekennzeichnet,** 55  
 daß die Frequenzdetektorschaltung mit einem ebensolchen, mit dem abgetasteten Quadratur-Taktsignal (pq) beaufschlagten und mit dem abgetasteten Normal-Taktsignal (pn) getakteten Abtast- und Speicherglied (FD) gebildet ist, mit dessen 60  
 Ausgangssignal (fd) das Ausgangssignal (pn) des ersten Phasendetektors (PN) gesperrt bzw. freigegeben wird.

**FIG 1**

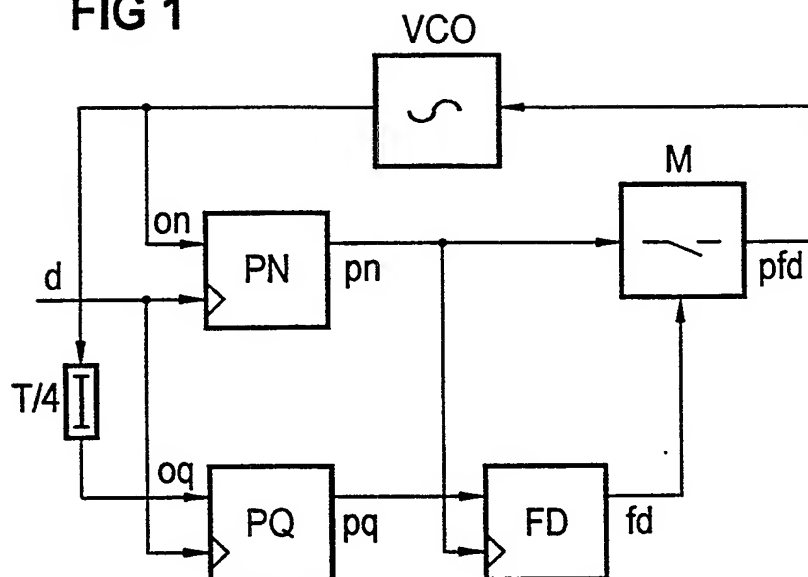


FIG 2

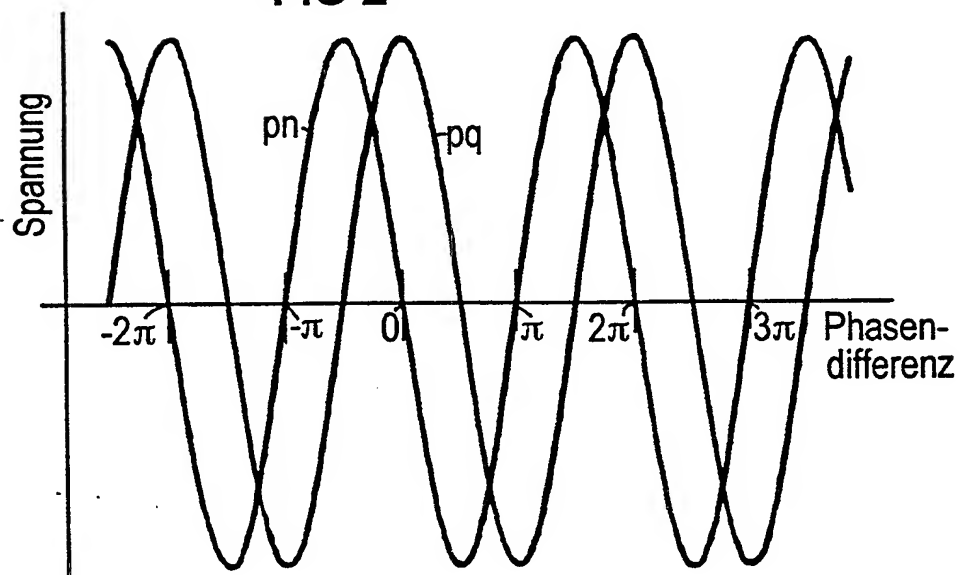


FIG 3

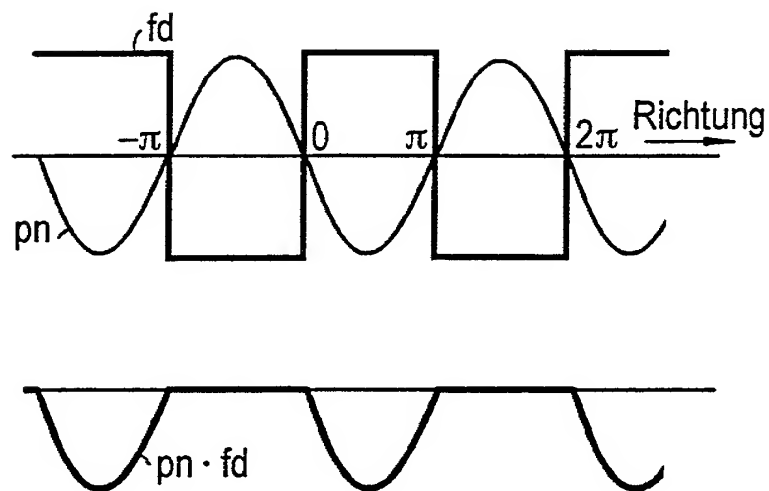


FIG 4

